

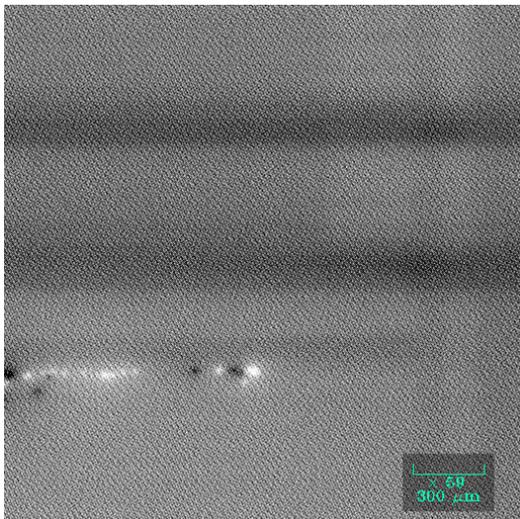
2 波長レーザービーム同時照射法を用いたLSIの故障解析とその応用 Failure Analysis Method by Using Different Wavelength Lasers and Its Application - SyDLIA (Synchronized Dual Laser beam Irradiation Analysis) Method -

伊藤 誠吾、丹藤 安彦*
Seigo Ito and Yashuhiko Tando

富士通 VLSI 株式会社 第1LSI 開発部
System LSI Design Dept., FUJITSU VLSI LIMITED
*富士通株式会社 LSI 事業本部生産技術部
Manufacturing Engineering Div., LSI Group, FUJITSU LIMITED

あらまし：

我々は、異なる波長のレーザービームをシリコン半導体デバイス(以下 ICと言う)に同時に照射する方法を用いて、IC内部回路のラッチアップ不良箇所を正確に検出する事ができた。短波長レーザービーム($\lambda=1083\text{nm}$)は半導体中で電子-正孔対を発生させ、IC内部回路のノード電位を変化させる。また、長波長レーザービーム($\lambda=1360\text{nm}$)は放射熱により照射部位の温度を上昇させ、寄生バイポーラ素子を動作し易くする。これら2つの作用を組み合わせる事によって、従来解析が困難といわれている IC 内部回路のラッチアップ箇所の検出ができるようになった。



4 解析像

レーザー出力 0.5mW($\lambda=1083\text{nm}$)、150mW($\lambda=1360\text{nm}$)、VDD=1.5V、VSS=0.0V。

キーワード： レーザビーム、半導体デバイス、ラッチアップ、故障解析、励起、加熱

Key words : Laser beam, LSI, Latch-up, Failure analysis, OBIC, Backside analysis 、 Thermal

1. はじめに

IC の故障解析の手段として、レーザビームを用いた方法が種々提案されている。

OBIC (Optical Beam Induced Current) 法[1] や、LIVA (Light Induced Voltage Alternation) 法[2]は、レーザビームを IC に照射した時の励起によって生じるエレクトロン・ホールペアを用いて、P-N 接合の電界異常や断線部位を検出する

方法である。 また、これらの応用例として、キャリアの生成と注入によって生じる IC 内部回路の電圧変化を利用して、回路異常を検出した例も報告されている。 [3, 4, 5]

一方、IR-OBIRCH (Infra Red Optical Beam Induced Resistance Change) 法[6]や、TIVA (Thermally Induced Voltage Alteration) 法[7]は、レーザビームをメタル配線やコンタクトビアチェーン

に照射した時に生じる熱によって、変化する抵抗増加や減少を検出する解析手法である。この手法で用いるレーザは波長が約 1300nm 付近であるため、IC 内部の正常部位での OBIC 発生が少なく、熱が作用して異常になる配線部位だけを検出できる利点がある。

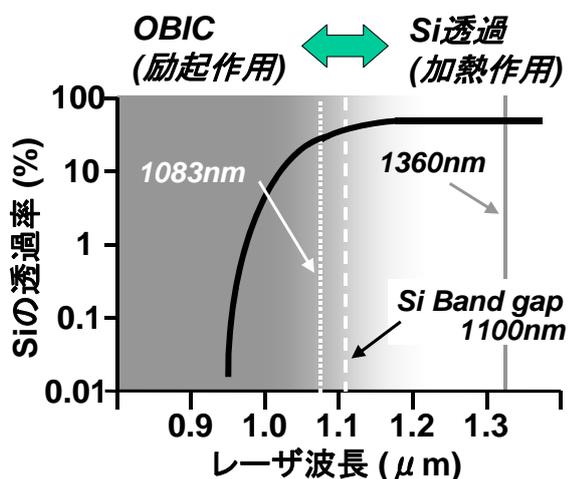
また、2 波長のレーザを用いる解析法として試料の測定部位をポンプレーザで加熱して、その反射率を別のプローブレーザを用い検出して異常を観測する TW(Thermal Wave)法[7]がある。

今回、我々は以上のようなレーザビーム照射による、励起作用と加熱作用を組み合わせる解析方法、SyDLIA (Synchronized Dual Laser beam Irradiation Analysis Method) 法が、IC 内部回路の局部ラッチアップ部位の検出に有効であることを検討し、この方法を実際に製品 IC の故障解析に応用したので、以下その結果を報告する。

2. レーザビーム同時照射解析法

2.1 原理

シリコン基板にレーザビームを照射した時の波長と励起効率、および透過率の関係を 図 1 に示す。シリコン基板のバレンス・バンド幅は 1.1eV であるから波長に換算すると約 1100nm になる。つまり、それより短いレーザ波長を IC に照射すると励起効率が高くなり エレクトロン・ホールペアが発生する。逆に、それより長い波長、(例え



ば 1360nm)はシリコンを透過するために OBIC の発生がない。しかしながら、レーザビームがメタル層やシリサイド層で熱に変換され、周辺の寄生バイポーラ素子に伝えられる。その熱はサイリスタ構造の寄生バイポーラ素子に作用して常温状態に比べて動作しやすくなる。[9]

図 1 レーザ波長と透過率の関係

2.2 IC 内部のラッチアップ部位検出への応用

さて、ラッチアップ耐圧特性は、寄生サイリスタの電流増幅率とトリガとなるノイズの大きさに依存する。電流増幅率は回路の物理的な寸法で決まり、トリガノイズの大きさは IC の動作環境に依存する。

また、ラッチアップの試験方法は主にパルス電流注入法が用いられ [10]、発生箇所は、(1)IC 周辺回路の CMOS で形成される寄生サイリスタや、(2)周辺回路と内部回路で構成される寄生サイリスタ、及び (3)周辺回路や内部回路の動作ノイズがトリガ注入源となり、内部回路の寄生サイリスタでラッチアップを起こす 3 種類のモードがある。このうち、前者 2 つのモードについては、外部からトリガノイズを入力できるので定量的な評価が可能であるが、後者の周辺回路や内部回路の動作ノイズが起因したラッチアップ箇所を再現させることは非常に難しい。

そこで、短い波長のレーザビームを照射して、積極的にキャリアの生成と注入を起こし、そのキャリアによって IC 内部回路の寄生バイポーラ素子を動作させられるのではないかと考えた。

今回提案するレーザ同時照射解析法は、IC に短い波長のレーザビームを照射して積極的にエレクトロン・ホールペアを発生させて、内部回路の電位を変化させる。その状態で更に、長波長のレーザビームを照射して加熱する事で寄生バイ

ポーラ素子を動作しやすくさせて、IC 内部回路のラッチアップ箇所を検出する方法である。

2.3 システム概要, と解析手順

システムのブロックダイアグラムを図2に示す。光学系の基本構成は走査型共焦点顕微鏡である。レーザービームの走査はガルバノミラーを使い、ICチップ表面或いは裏側表面を照射する。画面の表示スピードはインターレスモードで約 1.5 秒、ノンインターレスモードで約 5.5 秒である。

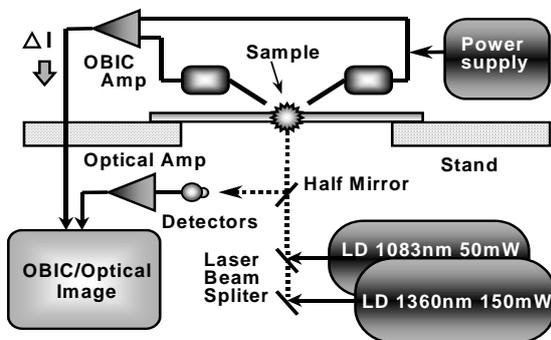


図2 解析システム概要図

今回、レーザービーム源は波長 $\lambda=1360\text{nm}$, 最大出力 150mw と波長 $\lambda=1083\text{nm}$, 最大出力 50mw の2種類の半導体レーザーダイオードを用い同じ光軸上に伝搬させ IC に照射する。光学像は反射光をフォトダイオードで受けて表示し、解析像は定電圧を IC に印加して変化する電流を画像情報に変換し表示した。画像サイズは1フレームが 512×512 ピクセルである。電源の仕様は最大電圧 30V 、シンク電流 10mA 。検出アンプの最小検出電流は 100pA 以下、アンプのゲインは 10000 倍である。以下、レーザービーム同時照射解析法の手順について述べる。

- (1) 短波長レーザーを IC に照射して光学像を取り込む。
- (2) 試料に電圧を印加する。今回は IC の動作電圧より低く設定した。
- (3) 2 種類のレーザーを同時に IC へ照射して OBIC を発生させて IC 内部回路のノード電位を変化させる。
- (4) 短波長レーザー照射出力を下げて OBIC 発生を抑える。
- (5) 長波長レーザーの出力を上げて IC を加熱して、故障箇所を同定する。
- (6) 解析倍率を上げて観測する。適宜、光学像と解析像の合成を行う。

以上の手順を繰り返し行い、故障箇所の推定を行う。

3. 製品 IC の解析

3.1 解析結果

実験は高い VDD 電圧で機能不良になる試料を用い、レーザービーム同時照射法を試みた。この試料は CMOS $0.35\mu\text{m}$ シリサイドゲート、メタル・ソースドレイン構造、4 層メタル配線で製造されたロジック LSI である。

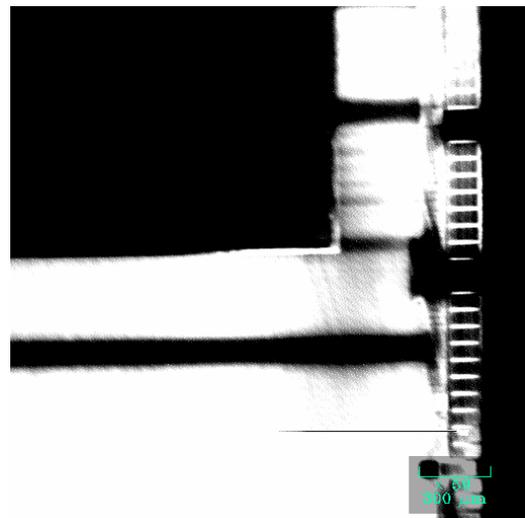


図3 解析像

レーザー出力 5mW($\lambda=1083\text{nm}$)、100mW($\lambda=1360\text{nm}$)、VDD=1.5V、VSS=0.0V。この像ではランダムロジック回路の全面で OBIC が発生して、故障部位の検出はできない。

IC 回路が動作する電圧より低い、約 1.5v を電源端子 (VDD) とグランド (VSS) 端子間に印加して観測した。

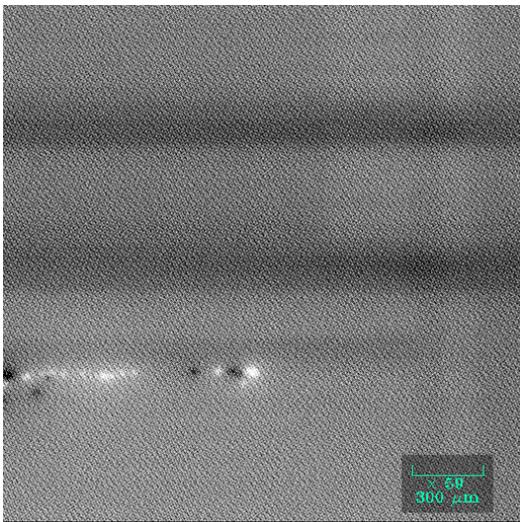


図4 解析像

レーザー出力 0.5mW($\lambda=1083\text{nm}$)、150mW($\lambda=1360\text{nm}$)、VDD=1.5V、VSS=0.0V。

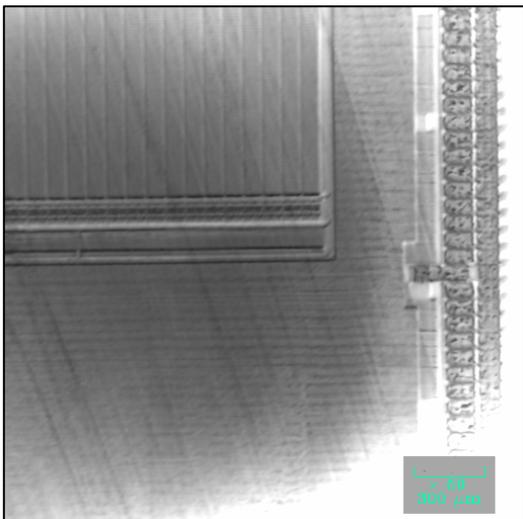


図5 解析像

レーザー出力 0.0mW($\lambda=1083\text{nm}$)、150mW($\lambda=1360\text{nm}$)、VDD=1.5V、VSS=0.0V。レーザー波長 1360nm だけを IC に照射しても故障箇所は検出できない。

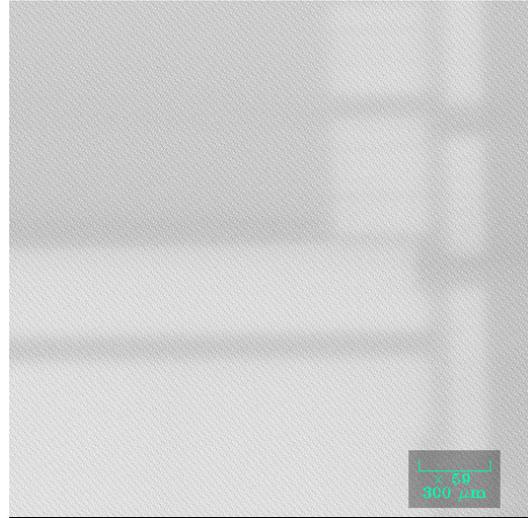


図6 光学像

レーザー出力 0.0mW($\lambda=1083\text{nm}$)、10mW($\lambda=1360\text{nm}$)、VDD=0.0V、VSS=0.0V。光学像は、レーザーの反射光をフォトダイオードで検出して画像化した。視野範囲は 2000um \times 2000um で、左上部は ROM エリア、右部は入出力バッファ、他はランダムロジック回路である。

図3は2.2項の解析手順の(3)条件で観測した結果である。CMOS回路のアクティブ領域全面でOBICが発生して明るい画像になる。この解析像では異常箇所の推定は困難である。

つまり、短波長レーザーを照射している時は、正常な部位(例えば、ウェルの空乏層領域)のOBICが激しく発生するために、異常部位(ラッチアップ箇所)が隠されて検出ができないのである。

図4は手順(4)条件の観測結果である。短波長(1083nm)の出力を徐々に下げると、ラッチアップ箇所だけが明るい点として検出できる。

また、今回の試料で従来の短波長レーザーだけ

を用いた検出法(レーザ出力を調整)[5]ではラッチアップ部位を検出することはできなかった。

一方、図5は、図4と同じ電圧をICに印加した状態で同じ出力の長波長レーザだけを照射した時の解析像である。この像ではOBICの発生が無いので図4で見られるような異常箇所は観測できなかった。つまり、レーザビーム同時照射法を用い正確な解析像を得るためには、2.2項の手順に従い、短波長レーザと長波長レーザを同時に照射し、レーザ出力を最適化する必要がある。

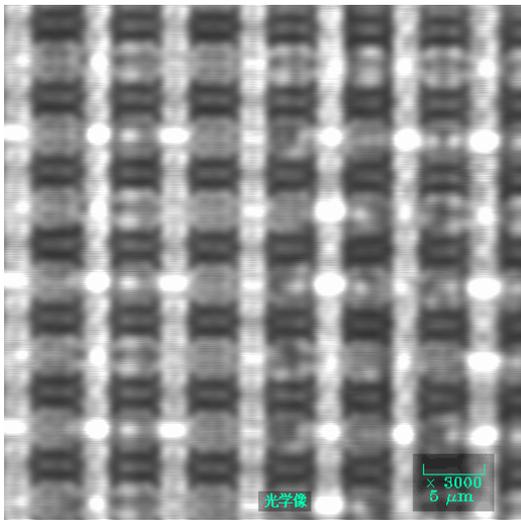


図7 光学像
レーザ出力 0.0mW($\lambda=1083\text{nm}$)、10mW($\lambda=1360\text{nm}$)、 $V_{DD}=0.0\text{V}$ 、 $V_{SS}=0.0\text{V}$ 。異常部位付近の拡大図である。

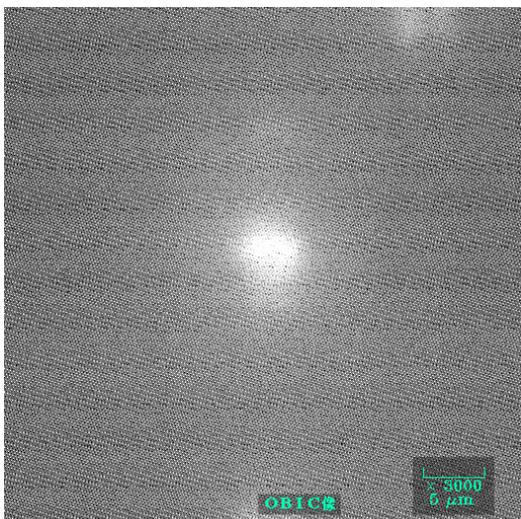


図8 解析像

レーザ出力 0.5mW($\lambda=1083\text{nm}$)、150mW($\lambda=1360\text{nm}$)、 $V_{DD}=1.5\text{V}$ 、 $V_{SS}=0.0\text{V}$ 。白い部位はPMOSトランジスタのドレイン/ソース部である。

3.2 解析結果の考察

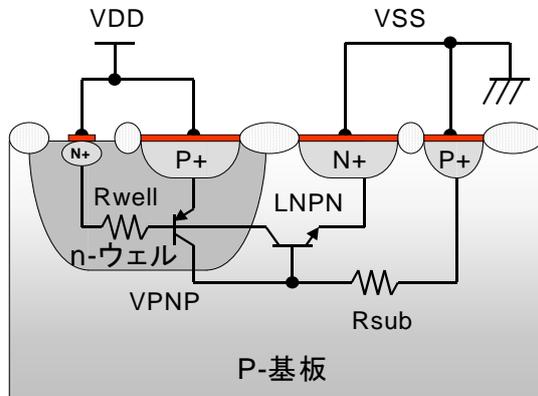
図7は不良箇所を拡大した光学像、図8は解析像である。詳細解析の結果、明るい点はアナログスイッチ用のトランスミッションゲート付近の異常電流であることがわかった。レーザビームを照射した時に生じるキャリアの注入によってウェル電位が変化して、バーティカルPNPトランジスタが動作し、VDD電源から基板へ異常電流が流れていると考えられる。詳細調査の結果、VDDコンタクト異常が原因で、n-ウェル電位が不安定になり、Rwell抵抗が上昇してバーティカルPNPトランジスタが動作したと考えられる。図9は異常箇所の断面構造図で、異常が検出された部位はVDDに接続されたPチャンネルMOSトランジスタのドレイン部である。この図でCMOSトランジスタのゲートとソースは省略して書いてある。

以上の通り、従来の方ではIC内部回路の任意の箇所をラッチアップさせることは困難であるが、短波長レーザをICに照射してキャリアを注入してやれば、内部のラッチアップ箇所が容易に検出できるようになる。

4. まとめ

レーザビーム同時照射解析法は、ICの内部回路のラッチアップ箇所や寄生バイポーラ素子が動作しやすい箇所を検出する手段として有効である。検出は次の手順で行う。

- (1) 短波長レーザをICに照射してキャリアの注入し、寄生バイポーラ素子を動作させる。
- (2) 長波長レーザの出力を上げて照射し、バイポーラ動作を助長する。



(3) 短波長レーザの出力を徐々に下げて、解析像の白く光るウィークポイントを見つける。

図9 故障箇所の断面構造概要図

今後、異なる波長のレーザビームを同時に IC に照射する解析法(SyDLIA Method)は、短波長レーザを照射して得られる OBIC と 長波長レーザの照射による放射熱を利用して、様々な故障モードへの応用が可能と考える。

謝辞

本実験の遂行に当たり、本手法に関し装置改造に協力を戴いた、日本電子ライオソニック(株)技術部の 上田 勝英氏、日本電子(株)半導体機器技術本部の 後藤 俊徳氏、また、本研究の遂行に当たり 終始ご指導、協力戴いた 富士通(株)デバイス設計部の 門馬 秀夫氏 に対し心からお礼申し上げます。

参考文献

- [1] Koshi Haraguchi, "Microscopic OBIC Measurements and their Applications," IMTC, pp. 693-699, 1994.
- [2] E. I. Cole Jr., J. M. Soden J. L. Rife, D. L. Barton, and C. L. Henderson, "Novel

Failure Analysis Techniques Using Photon Probing With a Scanning Optical Microscope," Proc. Int. Reliability Physics Symp., pp. 388-398, 12-14 Apr. 1994.

- [3] A. Nishikawa, C. Odani, N. Miura, Y. Kohno and M. Shimizu, "Laser Beam Carrier Injection Technique for CMOS LSI Failure Analysis Using OBIC," Proc. Electron Beam Testing Symp., Osaka, pp. 129-134, 1996 in Japan.
- [4] H. Komoda and K. Shimizu, "Optical Beam Induced Current Techniques for Failure Analysis of VLSI Circuit Devices," Jpn. J. Appl. Phys. Vol. 33, pp. 3393-3401, 1994.
- [5] T. Shiragasawa, H. Shimura, K. Kagawa, T. Yonezawa and M. Noyori, "Latch-up Analysis on 64K bit full CMOS SRAM Using a Laser scanner," Proc. 22th IRPS, pp. 63-68, 1984.
- [6] K. Nikawa and S. Inoue, "New Capabilities of OBIRCH Method for Fault Localization and Defect Detection," Proc. 6th Asian Test Symposium, pp. 214-219, 1997.
- [7] W. L. Smith, C. Welles and A. Bivis "Direct Measurement of Stress-induced Void Growth by TW Modulate optical Reflectance Imaging" IRPS pp. 200-208, 1990.
- [8] E. I. Cole Jr., P. Tangyungong and D. L. Barton, "Backside Localization of Open and Shorted IC Interconnections," 36th Annual International Reliability Physics Symposium, pp. 129-136, 1998.
- [9] F. S. Shoucair, "High-Temperature Latch up Characteristics in VLSI CMOS Circuits," IEEE Trans, Electron Devices, ED-35, NO. 12, pp. 2424-2426, 1988.
- [10] S. Baba, K. Kato and Y. Fukuda, "A study of reliability design using Latch-up simulation," Proc., 5th Annual RCJ Reliability Symposium, 5S-07 pp. 39-44, 1995.

連絡先

連絡先氏名: 伊藤誠吾

所属機関: 富士通VLSI(株) 1L開発部デバイス技術課

E-mail: ito_seigo@fvd.fujitsu.com

所在地: 〒511-0118

三重県桑名郡多度町御衣野1500番地

電話番号: (0594) 24-5509 , FAX (0594) 24-5540